

四位微计算机的功能及其应用

第二讲 国产四位微计算机的硬件结构

温州电子技术研究所 缪晓胜

一、DG0040系列四位微计算机

DG0040系列是北京八七八厂生产的四位机电路,采用硅栅N沟道E/D MOS工艺,单电源5V,可直接与TTL、CMOS、NMOS等电路相匹配,使用十分方便。最小系统由三片构成:DG0040(CPU+RAM),DG0041(显示振荡),DG0042(ROM)或EPROM。在此基础上可采用配套的通用I/O接口电路片DG0046或其它中小规模电路加以扩充,以适应不同应用对象的要求。0040的内部RAM为 256×4 位,ROM直接寻址范围达8K字节,是功能较强的所谓“计算型”四位机。图2-1为该机的逻辑框图。由于ROM一般常用EPROM来代替,如2716、2732等通用芯片,大家均已熟悉,不再赘述,下面叙述0040和0041的主要功

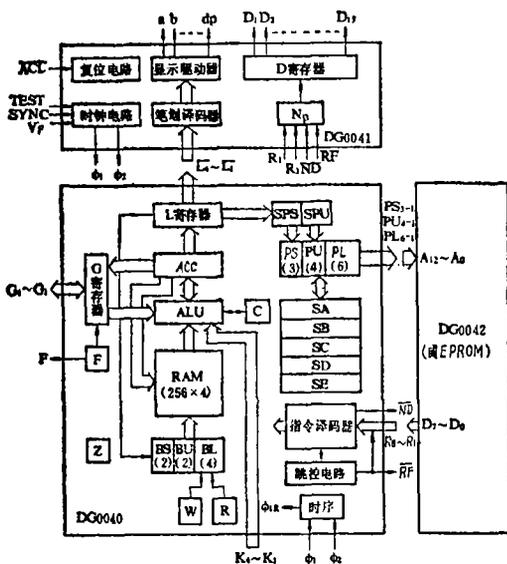


图2-1 DG0040整机逻辑框图

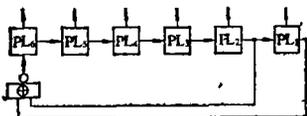


图2-2 程序计数器低部PL的计数方式

能。

1. 程序计数器PC, 堆栈及预置寄存器SPS、SPU

程序是人们按应用要求设计的指令序列,存在程序存储器ROM中,由程序计数器PC来“寻址”(即给出每条指令在ROM中的“地址”)。计算机工作时在时序电路配合下每次从PC所指出的ROM单元中取出一条指令,经指令译码器译码后组成各种微操作条件控制全机各部分的操作。因此程序(也称之为“软件”)是计算机的灵魂。

0040机的PC一共13位,由三部分组成:高部PS(3位),称之为区地址;中部PU(4位),称之为页面地址;低部PL(6位),称之为页内地址。PL部分采用异或移位计数方式(如图2-2所示),即在按正常次序执行时PL的各位依次右移一位,而最高位 $PL_6 = PL_2 \oplus PL_1$ 。这种计数方式从全0开始只能计满63个状态,全1状态不会出现,所以每页的地址只有63个。PS、PU的值只能由指令指定,无连续计数功能,因此程序是分页连续执行的。在作区间、页间转移(或子程序调用)时,必须先用预置指令SSP和LTSPU预置要转移的区地址(预置在SPS寄存器)和页地址(预置在SPU寄存器),在随后执行转移指令JMP(或调子指令CALL)时将其送至PS和PU,从而转至相应的区、页、地址。显然,区间转移指令需三字节,页间转移需二字节,而页内转移则仅需单字节。

本机的最大寻址空间为 $2^3 \times 2^4 \times 63 = 8(\text{区}) \times 16(\text{页}) \times 63(\text{字节}) = 8064$ 字节。

由于PL采用特殊计数方式,而人们在编写程序时又是按正常计数次序,所以在将程序写入EPROM时必须逐页进行地址转换(参见表2-1)。

四位机通常采用硬件堆栈的方式来提供子程序调用的功能。该机有五级堆栈:SA、SB、SC、SD、SE,均为13位的寄存器。在执行子程序调用指令时,PC的下一拍内容(PC+1)被“压入”堆栈第一级SA寄存器,同时各级堆栈内容依次向下传递:PC+1→SA→SB→SC→SD→SE,SE的内容丢失。当子程序执行完毕返回时,堆栈的内容依次反向传递:SE→SD→SC→SB→SA→PC,把栈顶SA的内容“弹回”PC,从而

表 2-1 PL 计数序号与实际地址码关系

计数序号	PL ₀ ~PL ₁ 状态	对应2716地址 (16进制)	计数序号	PL ₀ ~PL ₁ 状态	对应2716地址 (16进制)
0	000000	00	32	000111	07
1	100000	20	33	100011	23
2	110000	30	34	110001	31
3	111000	38	35	011000	18
4	111100	3C	36	101100	2C
5	111110	3F	37	110110	36
6	011111	1F	38	011011	1B
7	101111	2F	39	101101	2D
8	110111	37	40	010110	16
9	111011	3B	41	001011	0B
10	111101	3D	42	100101	25
11	011110	1E	43	010010	12
12	001111	0F	44	001001	09
13	100111	27	45	000100	04
14	110011	33	46	100010	22
15	111001	39	47	010001	11
16	011100	1C	48	001000	08
17	101110	2E	49	100100	24
18	010111	17	50	110010	32
19	101011	2B	51	011001	19
20	110101	35	52	001100	0C
21	011010	1A	53	100110	26
22	001101	0B	54	010011	13
23	000110	06	55	101001	29
24	000011	03	56	010100	14
25	100001	21	57	101010	2A
26	010000	10	58	010101	15
27	101000	28	59	001010	0A
28	110100	34	60	000101	05
29	111010	3A	61	000010	02
30	011101	1D	62	000001	01
31	001110	0E	0	000000	00

继续执行原来的程序。为了提高调子指令的效率，硬件的设计使得在执行单字节调子指令CALL时自动转

至本区第15页，因此每区的第15页又称为子程序目录页。

2. 数据存储器RAM及RAM地址寄存器B

RAM 用来存储待处理的各种随机数据。0040 的 RAM 硬件结构方式决定了它的数据结构特点。该机的 RAM 容量为 256×4 位，即由 256 个字长 4 位的单元组成，其基本硬件结构为 6 管静态双稳态触发器。RAM 的地址由 B 寄存器给出，分为 BS、BU 和 BL 三部分。高部 BS 字长 2 位，译码后有 4 种状态 (0~3)，确定 RAM 的“区”号；中部 BU 也是 2 位，译码后也得到 4 种状态，确定 RAM 的寄存器号；低部 BL 是 4 位，译码后有 16 种状态，确定 RAM 单元号。对 BS 和 BU 只能置数设定或作异或修改，而 BL 则具有置数设定、正向计数、反向计数及判跳等多种功能。根据 RAM 地址寄存器 B 的功能我们可作出 RAM 配置示意图 (见图 2-3)。

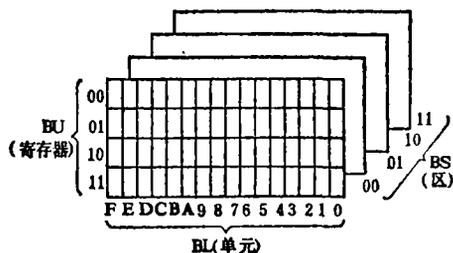


图 2-3 RAM 配置图

由于 BL 有正逆计数功能，因此通常把数据按 BL 方向 (即图中的横向) 的顺序存放在 RAM 中。这样在处理完一个单元的数据时能立即转向相邻的单元，程序的效率很高。BL 在作正向 (加 1) 计数时的判跳条件是 BL = B (1011，即十进制的 11)，反向 (减 1) 计数的判跳条件是 BL = 0，一般所处理的数据最长是 12 位十进制数，放在 B~0 这 12 个单元中。

在一般应用中，数据的位数不会太多，为了提高 RAM 存储空间的效率，该机还设计了一个数据格式选择触发器 R，它可用指令来设定状态，当 R = 0 时 RAM 为长格式，即上面所介绍的那样；当 R = 1 时，RAM 为短格式，正向计数时的判跳条件为 BL = E 和 BL = 6，反向为 BL = 8 和 BL = 0。这样把一个 16 位的寄存器分为二个 8 位的寄存器，适用于大批量短字长数据的处理。

另设有一个 W 寄存器，用来控制短数据格式时数据交换方向，当 W = 0 时是高位与高位、低位与低位交换，当 W = 1 时是交叉交换，参见图 2-4。

3. 累加器 ACC 和算术逻辑运算单元 ALU

如同所有的微机一样，累加器是该机中最重要的寄存器，用来暂存各种数据。可把 ACC 的内容送至

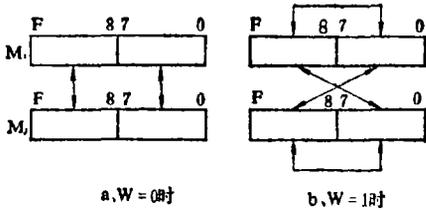


图2-4 短数据格式时数据交换方向

RAM中保存起来或通过ALU接收RAM中的数据。一条立即数指令LAM, X允许从ROM(即指令)中直接往ACC中置数,累加器的内容还能直接送至G、L寄存器输出到外部,或接收从K端口、G端口来的外部数据。由此可知,ACC是机内数据传送的主要中间寄存器,也是算术运算的“源”寄存器之一(另一个“源”是RAM单元)和结果寄存器。

ALU是四位二进制全加器,完成本机的加法和减法运算。进位触发器C用来保存加(减)法运算的进(借)位,还能用指令来置位、复位或测试。

4. 时钟电路及时序

0041内含时钟振荡电路,由五级反相器构成的移相振荡器产生基本时钟脉冲,后跟几组门电路组成二相主时钟信号 ϕ_1 、 ϕ_2 和辅助时钟信号 ϕ_{1R} 。它们被送往机内各处,以同步全机的操作。

芯片还有一个控制振荡器工作的输入端Test,当Test外接高电平时,移相振荡器门管打开,从而起振工作。当Test外接低电平时,振荡器停振。这时可在SYNC端输入外部方波信号,即用外部时钟源工作。时钟频率调整输入端 V_f 可串接一个电位器至 V_{DD} ,工作频率可调范围为80KHz~150KHz。

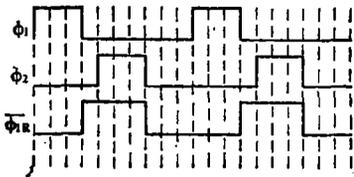


图2-5 时钟波形图

ϕ_1 、 ϕ_2 这二相时钟在时序上是交叉的,当 ϕ_1 工作时, ϕ_2 不起作用; ϕ_2 工作时, ϕ_1 休止。这种时序在微机中是常用的。时钟波形图见图2-5。

0040机中大部分电路采用准静态方式,靠时钟来保持触发器的状态,时钟一停止即陷于混乱。图2-6表示一个取样维持触发器(P-H触发器),H为控制端,S为输入端。当H=0时,与门1封死,与门2打开,在 ϕ_1 到来时(上跳沿),Q经与门2和或非门反相后通

过门管送至反相器3的输入端。 ϕ_1 过去后,反相器3由于其栅极电容的作用能短暂保持原状态不变。从而在 ϕ_2 到来时将原状态送回至Q,这时触发器处于自保状态。当H=1时,与门2被封死,触发器无法自保,外部信号可通过与门1、或非门,在 ϕ_1 、 ϕ_2 的顺序作用下送至Q端。除这种P-H触发器外,机内还使用了各种D型触发器、RS触发器、RSS触发器等。

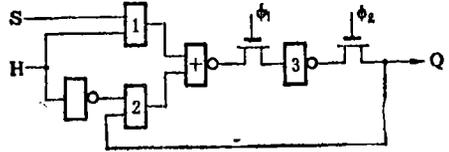


图2-6 准静态取样维持触发器

要注意的是,由于 ϕ_2 门管处于 ϕ_1 门管的尾部,Q的输出是和 ϕ_2 的前沿同步的(当然要加上门管的延迟时间约0.1 μ S)。该机所有电路,除PC、RAM外,全都采用这样的处置方式,因而其状态的变化是和 ϕ_2 的前沿同步的。特别是ROM中指令码的读出也受到 ϕ_2 的控制,这决定了该机的指令周期是从 ϕ_2 前沿到下一个 ϕ_2 的前沿(注意,ROM指令 $R_8 \sim R_1$ 是在进入0040后才用 ϕ_2 同步的,因此在示波器上观察时,EPROM的数据输出端 $D_7 \sim D_0$ (即 $R_8 \sim R_1$)是和地址线同步的。)

在从ROM中读取指令码时,要经过多级地址译码和门管的选通(见图2-7),有较长的延迟时间,因此ROM地址的送出应有一个提前量,在地址线信号稳定后再进行指令的读取。为此,程序计数器PC的引出端是在 ϕ_1 门管的后面、 ϕ_2 门管之前,即PC的信号同步于 ϕ_1 ,这是本机的地址周期,它提前于指令周期。

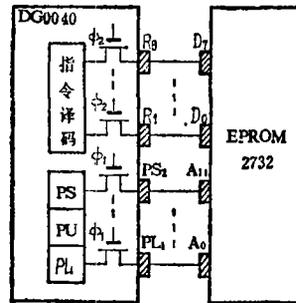


图2-7 指令读出示意图

RAM作为数据存储器,既要进行读的操作,也要进行写的操作(参见图2-8)。有时在一条指令中要同时完成读、写的操作。这样,读、写在时序上必须分开。RAM地址BU、BL的形成及译码同样需要一个稳定时间,由此提供了辅助时钟 ϕ_{1R} ,它的前沿(下跳

沿)和 ϕ_2 的后沿同步,其后沿和 ϕ_1 的后沿同步,在 ϕ_{1R} 有效期间(低电平)内完成本指令中的读写操作。其中当 $\phi_1 = 0$ 时为读周期, $\phi_1 = 1$ 时为写周期, 它们包含在指令周期之中。DG0040时序图见图2-9。

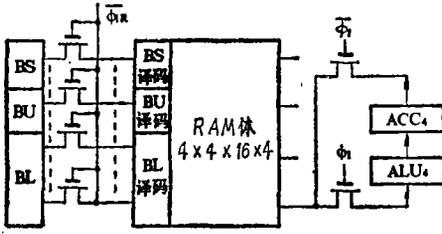


图2-8 RAM读写示意图

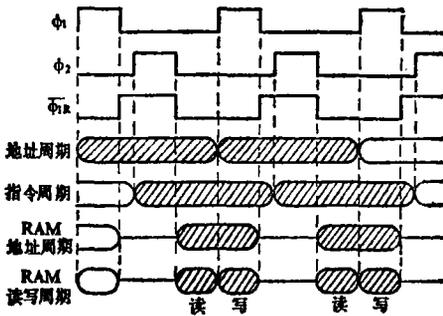


图2-9 DG0040时序图

5. 标志触发器Z及位操作功能

该机有一个一位的触发器Z, 它的置位, 复位和测试都是由指令完成的, 因而可用来做为程序运行过程中的状态标志。除此之外, 该机还具有另二种位操作功能: 对RAM当前单元(由B指定地址)的每一位和G锁存器的每一位均能用指令进行置位、复位和测试的操作。这种丰富的位操作功能也是四位机的特点之一, 可构成各种复杂的程控逻辑, 记住并处理各种事件之间的先后次序、与、或、非等任意组合逻辑关系, 从而提供了极大的灵活性。

6. 跳控功能

计算机最重要的特点之一是它能根据处理的中间结果自动选择程序运行的途径, 这就使得它能脱离人的干预而自动操作。这一功能是由分枝程序实现的。

0040机的分枝程序基本上是采用“跳控指令”的办法, 这些指令在执行时各有特定的跳控条件, 如C触发器是否为0, RAM地址BL计数器是否已到B或0, 等等。当满足这些条件时, 跳控电路将在下一拍输出跳控信号: $\overline{RF} = 0$, \overline{RF} 封死ROM指令的输入, 使其为全0, 从而在下一拍强迫执行一条空操作(NOP)指令, 实际上等于跳过了这一条指令。

7. 输入输出通道

输入输出通道是计算机和外部交换各种信息、数据、控制命令的端口与途径。0040机中含有三个通用并行通道(在0040片中)和显示驱动通道(在0041中), 下面逐一介绍。

(1) 四位并行输入端口 $K_1 \sim K_4$: $K_1 \sim K_4$ 的状态可用指令直接读入至累加器 ACC, 一般常作为键盘、开关等触点信号的输入端口。也可用来输入其它信号。

(2) L 锁存器及输出端口 $\overline{L}_1 \sim \overline{L}_4$: L 锁存器的功能比较复杂, 包括以下方面: ①它的数据源是 ACC, 即可用指令实现 $A \rightarrow L$ 的操作。L 的内容经反相驱动后直接送至片外, 即 $\overline{L}_1 \sim \overline{L}_4$ 端口。这种传送是不受控制的, 即在任何时候, L 的内容都反映在 $\overline{L}_1 \sim \overline{L}_4$ 。②它的内容可送至SPU寄存器, 由此可实现另一种程序分枝。③L的低二位 L_2 、 L_1 还是数据交换指令中RAM高部地址BS的异或修改条件, 从而能影响数据交换与运算程序的执行结果, 这一点在使用时须引起特别注意。

(3) 双向通道 $G_1 \sim G_4$: 其结构见图2-10。由G锁存器和三态输出驱动器构成。所谓“三态”, 就是作为输出端口使用时具有低电平和高电平二种输出驱动状态, 而作为输入端口时应处于高阻浮置态, 这时端口状态可跟随外部状态的变化而变化, 以正确输入外部数据。该机的双向特性是由F触发器控制的。当 $F = 0$ 时, G锁存器接向G驱动器, 这样机中数据可通过 ACC 送至G予以锁存并输出。G锁存器的内容也可重新读进ACC。当 $F = 1$ 时, G驱动器和G锁存器脱开成为高阻态, 这时外部状态可通过G端口直接读进ACC。G锁存器虽然还能接收ACC来的数据, 但已不能读出或输出。由于具有三态结构, 使G端口可挂到外部数据总线上, 和其它智能终端或上级计算机进行数据通信。此外, 前面已谈及G端口还具有位操作功能, 当然, 置位和复位均是对G锁存器进行, 而位测试, 当 $F = 0$ 时是对G锁存器, 当 $F = 1$ 时则是对外部状态进行的。

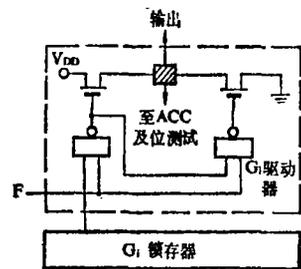


图2-10 双向通道 $G_1 \sim G_4$ 结构

(4) D 移位寄存器及输出端

D 是一个15位的串行输入并行输出移位寄存器。每当执行SHD0指令或SHD1指令时, 译码后产生移位脉冲信号DG, 使D寄存器依次右移一位。其第1位 D_1 的状态由于指令的不同分别送入0或1。D的输出还受

节(16×63=1008字节),但是利用I/O通道能方便地加以扩充。

有一级硬件堆栈寄存器SR,只能一级转子。但是巧妙的设计使子程序的利用效率很高。其硬件结构决定了0~3页为子程序区,4~15页为主程序区。处于主程序区时程序标志触发器R=0,当执行转子指令TR₁X时,将下一条指令的地址从PC送至SR保存,然后将指令中后6位立即数X送至PL,将全0送至PU,于是转至0页X条执行。与此同时将R置1,表明已处于子程序区。从0页可再跳转至1~3页,以执行较长的子程序。所有的调子指令均为单字节指令,频繁使用时效率很高。

2. RAM及RAM地址寄存器B

该机的RAM为64×4,单独做成一片。RAM地址寄存器B分为二段:BU(2位)和BL(4位)。由于地址线和数据线均已外引,因此除了可挂上多片RAM外,还可加上电平转换电路扩充2114(1K×4)等通用RAM。

3. ALU

020机没有减法指令,但含有一条累加器取反指令: $\bar{A} \rightarrow A$ 。在C的配合下同样可完成减法运算。取反指令还能提供其它灵活的功能。

4. 输入输出功能

DJS-020机的I/O通道较为丰富,某些通道的专业性很强,使用得当,可发挥意外的效果。和DG0040相比,二者有一些基本相同的I/O通道:①显示扫描输出W₁~W₁₅即0040的D₁~D₁₅。②段译码输出a、b、c、d、e、f₁、g、d_p除译码值少了二个(D、E)外,其余完全一样。对照框图,可知020机的显示振荡片CGD和DG0041是十分接近的,差别仅在于前者的移位脉冲W₀是在CPU₂中形成直接输入。③F触发器相当于0040的L寄存器,但是它具有位控功能,可用ACC里的“屏蔽码”对它的任意位作置位或复位的操作,从而使F输出端可作为分离独立的控制端。但另一方面,F是个单纯的输出通道,没有ROM高部地址PS、PU预置及对RAM高部地址BS修改的功能。④K输入通道的功能也完全一样。

在其它I/O功能方面。二机完全不同,020机没有功能较强的双向I/OG端口,但是有丰富的其它专用和通用I/O通道:

(1) 同步信号输入端KN₁、KN₂、KF、AK、TAB

这是5个分离的输入端,输入信号直接送至CPU由指令判别其逻辑电平

的高低,常用作为键盘扫描的输入端。

(2) 非同步输入端α、β、V(见图2-14)及IDF输出端

这些输入输出端原设计用于微型打印机的操作控制,它们之间有密切的制约关系,使用得当,能发挥巧妙的功能。

所有输入端均用D型触发器予以同步。α输入信号经U₁触发器同步延时时后再经 \bar{U}_2 触发器反相并延时的一个指令周期。这样U₁和 \bar{U}_2 的相与信号 $U_1\bar{U}_2$ 把α端任意宽度的脉冲截断成为一个指令周期宽的同步脉冲,以打入α_F触发器。α_F触发器的状态可由TA指令来测试并复位。

β输入信号经β触发器同步后得到β₀和 $\bar{\beta}_0$ 信号,β₀和 $U_1\bar{U}_2$ 再相与作为K触发器的计数脉冲,其输出(实际上是α输入脉冲的分频)再送至K计数器进行计数,即α端来二个脉冲,K计数器加1。因此,K计数器的计数条件是:①β端=0;②α端出现计数脉冲。当β=1时,封死计数脉冲,并通过β₀清除K计数器。

须注意的是,α输入脉冲的有效时间和间隔时间的宽度都必须大于一个指令周期,才能保证正确的打入α_F触发器和对K计数器进行计数。

IDF触发器的状态可由指令来设置,但同时受到 $\bar{\beta}_0$ 信号的控制;当β=1时,清除IDF触发器。IDF的状态又控制α_F触发器的状态,当IDF=0时,能强迫α_F复位(但此时如α输入端有脉冲信号,则α_F能打入并保持一个指令周期的时间)。

V输入信号也用V触发器予以同步并用指令来测试。

(3) S输出端口S₁~S₇

B_L译码后形成RAM的位线,其中高7位线(B_L=F、E、D、C、B、A、9)在C和 $\bar{\phi}_{1R}$ 的控制下输出机外,即S₁~S₇信号。当C=1时,通过或非门强迫S₁~S₇输出全1;当C=0时,由B_L译码值决定S的某一位为1,并且其输出信号是和 $\bar{\phi}_{1R}$ 的前沿同步的。S₁~S₇通常作为键盘扫描的选通信号。(待续)

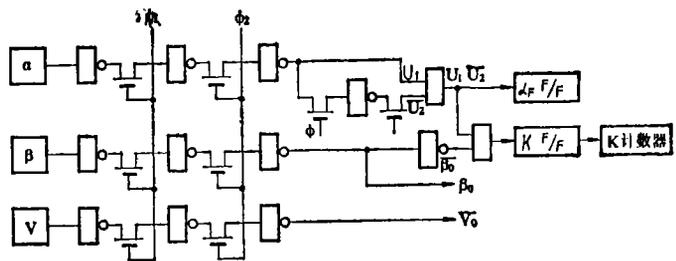


图2-14 非同步输入端